

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-331709

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H04N 5/335  
H01L 27/146

(21)Application number : 10-127868

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.05.1998

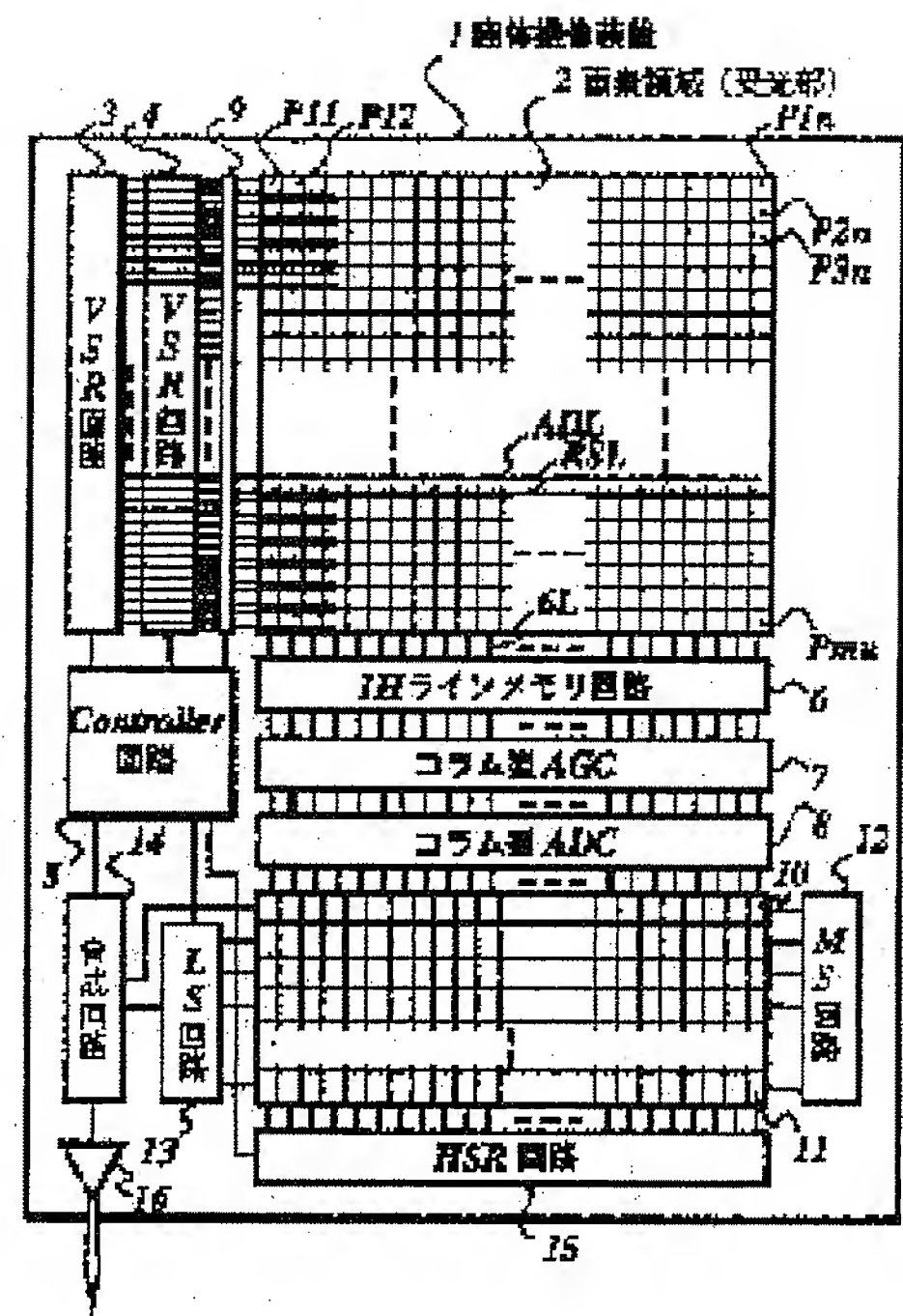
(72)Inventor : MIYAGAWA RYOHEI

## (54) SOLID-STATE IMAGE-PICKUP DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a solid-state image-pickup device capable of realizing a miniaturized and integrated device by reducing the number of external terminals, which is capable of increasing the output operation speed of a pixel signal by reducing the data rate of the pixel signal and readily controlling the signal quantity of a high luminance correction signal and easily controlling a dynamic range.

**SOLUTION:** This solid-state image-pickup device 1 is provided with a pixel signal storing memory circuit 11, a high luminance correction signal storing memory circuit 10 and a compositing circuit 14. the circuit 11 temporarily stores a pixel signal stored by a prescribed pixel P in a pixel area 2. The circuit 10 temporarily stores a high luminance correction signal for correcting high luminance stored by the same prescribed pixel P. The pixel signal stored in the circuit 11 and the high luminance correction signal stored in the circuit 10 are transferred to the circuit 14 at the same timing and synthesized, and a corrected pixel signal is obtained.



## LEGAL STATUS

[Date of request for examination] 06.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] abandonment

[Date of final disposal for application] 10.09.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-331709

(43)公開日 平成11年(1999)11月30日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 N 5/335

H 0 4 N 5/335

Q

H 0 1 L 27/146

H 0 1 L 27/14

A

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21)出願番号 特願平10-127868

(22)出願日 平成10年(1998)5月11日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 宮川 良平

神奈川県川崎市幸区小向東芝町1 株式会

社東芝多摩川工場内

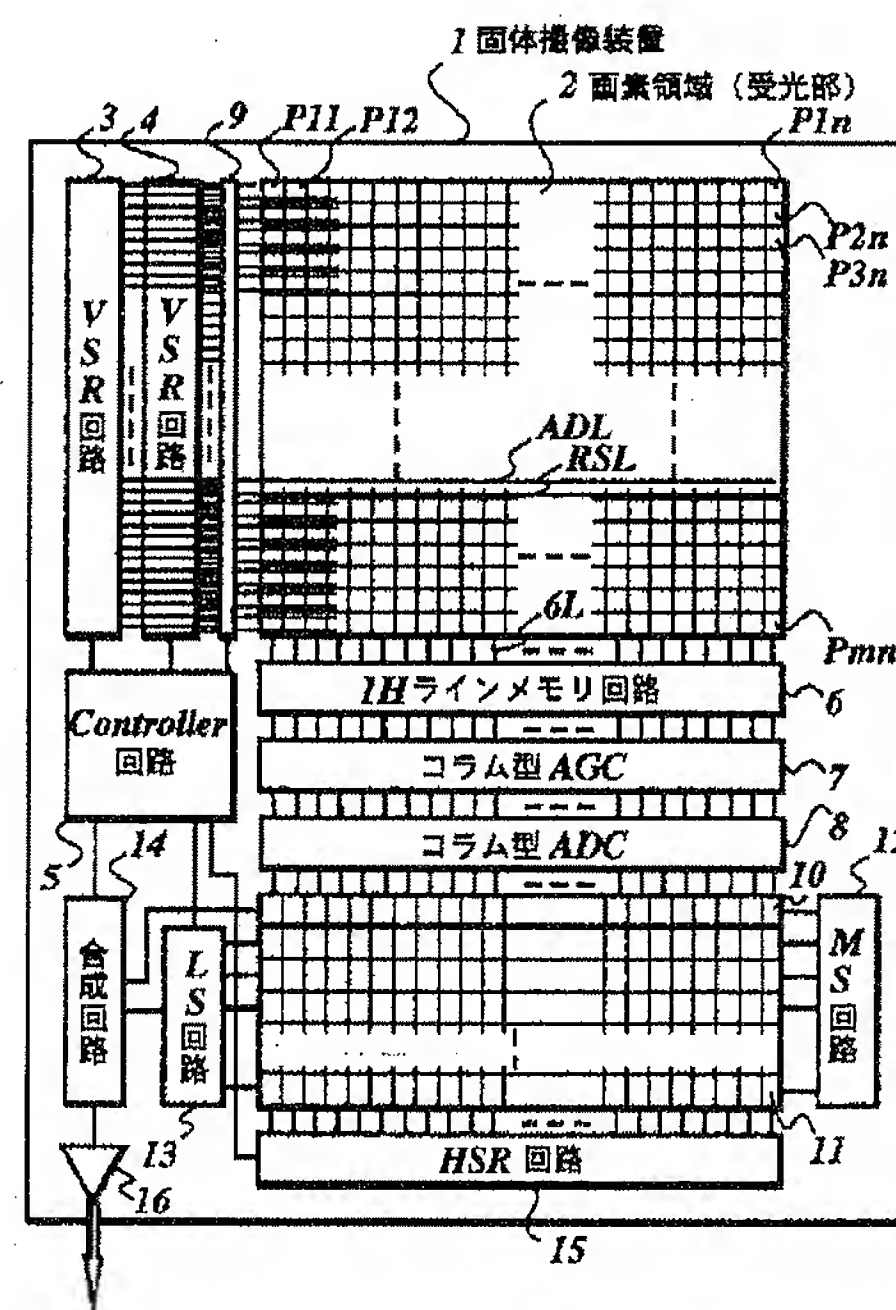
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】 外部端子数を削減し、小型化、集積化が実現できる固体撮像装置を提供する。画素信号のデータレートを削減し、画素信号の出力動作速度の高速化が実現できる固体撮像装置を提供する。さらに、高輝度補正信号の信号量を簡易に調節でき、ダイナミックレンジが容易に制御できる固体撮像装置を提供する。

【解決手段】 固体撮像装置1は、画素信号蓄積メモリ回路11、高輝度補正信号蓄積メモリ回路10及び合成回路14を備える。画素信号蓄積メモリ回路11は画素領域2の所定画素Pで蓄積された画素信号を一時的に記憶する。高輝度補正信号蓄積メモリ回路10は同一所定画素Pで蓄積された高輝度を補正する高輝度補正信号を一時的に記憶する。画素信号蓄積メモリ回路11に記憶された画素信号と高輝度補正信号蓄積メモリ回路10に記憶された高輝度補正信号とは合成回路14に同一タイミングに転送され合成され、補正された画素信号が得られる。



10 高輝度補正信号蓄積メモリ回路

11 画素信号蓄積メモリ回路

## 【特許請求の範囲】

【請求項 1】 画素信号を蓄積する画素が複数行列状に配列された画素領域と、

前記画素領域の所定画素で蓄積された画素信号を一時的に記憶する画素信号蓄積メモリ回路と、

前記同一所定画素で蓄積された高輝度を補正する高輝度補正信号を一時的に記憶する高輝度補正信号蓄積メモリ回路と、

前記画素信号蓄積メモリ回路に記憶された画素信号と高輝度補正信号蓄積メモリ回路に記憶された高輝度補正信号とを合成し、高輝度が補正された画素信号を出力する合成回路と、

を備えたことを特徴する固体撮像装置。

【請求項 2】 前記画素信号蓄積メモリ回路に次々に入力される画素信号を画素信号蓄積メモリ回路内部において順次転送するメモリシフトレジスタ回路と、

画素信号蓄積メモリ回路に記憶された所定画素に対応する画像信号を取り出し、この画素信号を合成回路に転送するラインセレクト回路と、

前記ラインセレクト回路を制御し、画素信号蓄積メモリ回路に記憶された画素信号の取り出しを行うとともに、前記合成回路を制御し、ラインセレクト回路で取り出された画素信号と高輝度補正信号蓄積メモリ回路に記憶された高輝度補正信号との合成を行うコントローラ回路と、

を備えたことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 前記画素信号蓄積メモリ回路に記憶された画素信号と高輝度補正信号蓄積メモリ回路に記憶された高輝度補正信号とを合成回路に転送する双方に共用のシフトレジスタ回路を備えたことを特徴とする請求項 2 に記載の固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は固体撮像装置に関する。特に本発明は高輝度補正機能を有する固体撮像装置に関する。さらに本発明は、小型化が実現でき、また動作速度の高速化が実現できる、高輝度補正機能を有する固体撮像装置に関する。

## 【0002】

【従来の技術】 固体撮像装置（CMOS センサ）は、画素領域（受光部）、水平ラインメモリ回路、水平シフトレジスタ回路、垂直シフトレジスタ回路及び出力アンプ回路を備える。画素領域は水平方向及び垂直方向に（行列状に）複数配列された画素で形成される。画素には光信号を電気信号に変換する光電変換素子（フォトダイオード）を備える。画素領域の所定画素は垂直シフトレジスタ回路により選択され、この選択された画素に蓄積された画素信号は水平ラインメモリ回路に記憶される。選択された画素と同一水平ラインに配列された画素の画素信

号も同様に水平ラインメモリ回路に記憶される。水平ラインメモリ回路に記憶された同一水平ラインの複数の画素信号は水平シフトレジスタ回路で順次出力アンプ回路に転送される。出力アンプ回路は画素信号を増幅し、この増幅された画素信号は固体撮像装置の外部に出力される。1 水平ラインに配列された画素の画素信号が読み出された後は次段の 1 水平ラインに配列された画素の画素信号が読み出される。

【0003】 最近、固体撮像装置に高輝度補正機能の一部を組み込む研究開発が進められている。高輝度補正機能とは、室外において太陽光が入射される状態での撮影や室内において蛍光灯の光が入射される状態での撮影により、飽和してしまうような画像を修正する機能である。

【0004】 高輝度補正機能の実現には、高輝度を補正するための高輝度補正信号（ハイライト修正信号）を生成し、画素信号を高輝度補正信号で修正する必要がある。本発明者が開発中の高輝度補正機能を有する固体撮像装置においては、画素領域の露出時間が異なる 2 つの画素（2 つの水平ライン）を選択し、一方の画素の画素信号は画像を生成するための正規の信号として、他の一方の画素の画素信号は高輝度補正信号として取り出す方式が採用された。画素信号は、1 枚の画像を作り出すほぼ 1 フレーム周期に相当する長時間の露出時間で生成された信号である。高輝度補正信号は、画素から画素信号が取り出され、数～数十回の水平走査が行われた後、画素から取り出され、画素信号に比べて短時間の露出時間で生成された信号である。

【0005】 画素信号及び高輝度補正信号はそれぞれ 1 水平ライン毎に同時にかつ並列に固体撮像装置から出力される。前述のとおり、垂直シフトレジスタ回路により 1 水平ラインの画素が選択され、この 1 水平ラインの画素の画素信号は水平ラインメモリ回路に記憶される。この水平ラインメモリ回路に記憶された画素信号は出力アンプ回路を通して外部装置に出力される。高輝度補正信号の出力にも同様の回路構成が必要で、高輝度補正信号は画素信号を記憶する水平ラインメモリ回路とは別途配設した高輝度補正信号用水平ラインメモリ回路に記憶される。さらに、高輝度補正信号の出力のために垂直シフトレジスタ回路及び水平シフトレジスタ回路が別途配設され、高輝度補正信号用水平ラインメモリ回路に記憶された高輝度補正信号は別途配設された出力アンプ回路を通して外部に出力される。

【0006】 固体撮像装置の外部に出力された画素信号は、外付けされたオートゲインコントローラ装置、アナログデジタルコンバータ装置のそれぞれを順次通して、フレームメモリ装置に一旦記憶される。固体撮像装置の外部に出力された高輝度補正信号は、画素信号の処理系とは別経路において、オートゲインコントローラ装置、アナログデジタルコンバータ装置を順次通過し、別途配



設されたフレームメモリ装置に一旦記憶される。フレームメモリ装置に記憶された画素信号、他のフレームメモリ装置に記憶された高輝度補正信号はそれぞれ合成装置に出力され、合成装置は高輝度補正信号に基づき画素信号を修正する。

#### 【0007】

【発明が解決しようとする課題】前述の固体撮像装置においては、以下の点について配慮がなされていない。

【0008】(1) 固体撮像装置には、水平シフトレジスタ回路、垂直シフトレジスタ回路、水平ラインメモリ回路及び出力アンプ回路を含む1組の周辺回路に加えて、高輝度補正機能を構築する同等の回路構成を有する他の1組の周辺回路が配設される。同等の機能を有する2組の周辺回路を備えるために、固体撮像装置は大型になる。固体撮像装置は一般的に半導体チップ(各種回路が形成された半導体基板)とこの半導体チップを封止する封止体(パッケージ)で構成され、半導体チップが大型になるとともに封止体が大型になる。

【0009】(2) 固体撮像装置には、画素信号を出力する外部端子(アウターリード又はアウターピン)に加えて、高輝度補正信号を出力する外部端子が別途必要になる。外部端子数の増加は固体撮像装置を大型化する。

【0010】(3) 外部端子数を削減するために固体撮像装置に出力切り換え回路を備え、画素信号と高輝度補正信号とを1つの外部端子から出力する場合には、1水平ライン分の信号量が画素信号の信号量に高輝度補正信号の信号量を加えた信号量になり、データレートが増大する。このデータレートの増大により、1フレーム分の画素信号の出力時間が長くなるので、結果として固体撮像装置の動作速度が遅くなる。

【0011】(4) 固体撮像装置から2種類の画素信号、高輝度補正信号のそれぞれが出力されるので、固体撮像装置の外付け外部装置、具体的にはオートゲインコントローラ装置、アナログデジタルコンバータ装置、フレームメモリ装置のそれぞれが2組必要になる。従って、固体撮像装置及び外部装置を実装する配線基板が大型化し、固体撮像装置を組み込んだカメラ自体が大型になる。

【0012】(5) さらに、固体撮像装置においては、ユーザサイドで要求する画像に応じて高輝度補正信号の信号量を調節しダイナミックレンジを調節する必要がある。高輝度補正信号の信号量の調節は、画素の露出時間の調節、すなわち画素信号を取り出す画素と高輝度補正信号を取り出す画素との間の画素数(水平ライン数)を調節することにより実施できる。しかしながら、このような固体撮像装置側の高輝度補正信号の信号量の調節に加えて外部装置の処理内容も調節する必要があり、ダイナミックレンジの調節が非常に難しかった。

【0013】本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、外部端子数を

削減し、小型化、集積化が実現できる固体撮像装置を提供することである。特に、本発明は、固体撮像装置の小型化を実現し、この固体撮像装置を実装するカメラ等の実装デバイスの小型化を図ることを目的とする。

【0014】さらに、本発明の目的は、画素信号のデータレートを削減し、画素信号の出力動作速度の高速化が実現できる固体撮像装置を提供することである。

【0015】さらに、本発明の目的は、高輝度補正信号の信号量を簡易に調節でき、ダイナミックレンジが容易に制御できる固体撮像装置を提供することである。

#### 【0016】

【課題を解決するための手段】上記課題を解決するために、この発明は、固体撮像装置において、画素信号を蓄積する画素が複数行列状に配列された画素領域と、画素領域の所定画素で蓄積された画素信号を一時的に記憶する画素信号蓄積メモリ回路と、同一所定画素で蓄積された高輝度を補正する高輝度補正信号を一時的に記憶する高輝度補正信号蓄積メモリ回路と、画素信号蓄積メモリ回路に記憶された画素信号と高輝度補正信号蓄積メモリ回路に記憶された高輝度補正信号とを合成し、高輝度が補正された画素信号を出力する合成回路と、を備えたことを特徴とする。

【0017】所定画素で蓄積される画素信号はほぼ1枚の画像を生成する1フレーム周期分に相当する長い露出時間で蓄積される。同一所定画素で蓄積される高輝度補正信号は、画素信号が読み出され、予め設定された数〜数十行の水平走査が実施された後の短い露出時間で蓄積される。

【0018】画素信号蓄積メモリ回路には、画素信号及び高輝度補正信号の転送方向に、予め設定された水平走査回数に応じた(ダイナミックレンジの調節範囲に応じた)個数の記憶素子が直列的に配列される。所定画素から転送された画素信号は高輝度補正信号蓄積メモリ回路に一旦記憶される。1水平ライン分の水平走査が完了した時点で所定画素の次段の画素から転送された画素信号が高輝度補正信号蓄積メモリ回路に記憶され、この記憶動作により最初に高輝度補正信号蓄積メモリ回路に記憶されていた画素信号は画素信号蓄積メモリ回路に転送され記憶される。画素信号蓄積メモリ回路においては、予め設定された水平走査回数に応じて直列的に垂直方向に記憶素子が複数配置されており、画素信号はこの記憶素子に順次転送される。

【0019】画素信号蓄積メモリ回路にはメモリシフトレジスタ回路、ラインセレクト回路がそれぞれ接続される。メモリシフトレジスタ回路は、画素信号蓄積メモリ回路に次々に入力される画素信号を垂直方向に配列された記憶素子に順次転送する。ラインセレクト回路は、画素信号蓄積メモリ回路に記憶された所定画素に対応する画像信号を取り出し、この画素信号は合成回路に転送される。

【0020】画素信号蓄積メモリ回路、高輝度補正信号蓄積メモリ回路にはそれぞれで共用される水平シフトレジスタ回路が接続される。水平シフトレジスタ回路は、画素信号蓄積メモリ回路に記憶された画素信号をラインセレクト回路を通して合成回路に転送する。さらに、水平シフトレジスタ回路は、高輝度補正信号蓄積メモリ回路に記憶された高輝度補正信号を合成回路に転送する。

【0021】水平シフトレジスタ回路、ラインセレクト回路、合成回路のそれぞれはコントローラ回路に接続される。コントローラ回路は、ラインセレクト回路を制御し、画素信号蓄積メモリ回路に記憶された画素信号の取り出しを行う。さらに、コントロール回路は、合成回路を制御し、画素信号蓄積メモリ回路に記憶された画素信号と高輝度補正信号蓄積メモリ回路に記憶された高輝度補正信号との合成を行う。

【0022】これらの画素領域、画素信号蓄積メモリ回路、高輝度補正信号蓄積メモリ回路、水平シフトレジスタ回路、合成回路、メモリシフトレジスタ回路、ラインセレクト回路及び出力アンプ回路は1個の半導体基板に集積化される(1チップ化される)。

【0023】このように構成される固体撮像装置においては、画素領域の同一所定画素から画素信号と高輝度補正信号とを取り出し、画素信号は画素信号蓄積メモリ回路に記憶され、高輝度補正信号は高輝度補正信号蓄積メモリ回路に記憶される。画素領域と画素信号蓄積メモリ回路との間に高輝度補正信号蓄積メモリ回路が配置され、画素信号、高輝度補正信号の順序で垂直方向にこれらの信号が転送されるので、画素信号の記憶と高輝度補正信号の記憶とは同一タイミングで行われる。記憶された画素信号、高輝度補正信号のそれぞれは共用の水平シフトレジスタ回路で合成回路に転送される。従って、高輝度補正信号のみを転送する水平シフトレジスタ回路が必要なくなり、画素信号蓄積メモリ回路及び高輝度補正信号蓄積メモリ回路に共用の水平シフトレジスタ回路が配設されるので、水平シフトレジスタ回路数が削減でき、固体撮像装置の小型化、集積化が実現できる。

【0024】さらに、固体撮像装置に合成回路を配設し、固体撮像装置の内部で画素信号の修正が行われる。すなわち、固体撮像装置から出力される画素信号は高輝度が補正された画素信号の1種類になる。従って、固体撮像装置の外部端子(ピン)数が削減できるので、固体撮像装置の小型化、集積化(又はパッケージサイズの縮小化)が実現できる。

【0025】さらに、高輝度補正信号の信号量の調節は固体撮像装置側だけで実質的に行えるので、外部装置の調節は不要になり、高輝度補正信号の調節が容易に行える。

【0026】さらに、固体撮像装置においては、画素領域の同一所定画素で得られる画素信号、高輝度補正信号のそれぞれを高輝度補正信号蓄積メモリ回路、画素信号

蓄積メモリ回路のそれぞれに順次時系列的に転送し、合成回路による画素信号と高輝度補正信号との取り出しが同一タイミングで行われる。従って、画素信号と高輝度補正信号とを合成するための回路システムを1組に削減できるので、固体撮像装置の小型化が実現できる。

【0027】さらに、固体撮像装置においては、前述のように画素信号と高輝度補正信号とを合成するための回路システムが1組に削減でき、高輝度が補正された画素信号は1種類のみ出力でよいので、画素信号のデータレートが短縮される。画素信号のデータレートの短縮により1フレーム周期分の画素信号の出力に要する時間が短縮でき(半減でき)、固体撮像装置の動作速度が高速化できる。

【0028】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

【0029】図1は本発明の実施の形態に係る固体撮像装置の平面レイアウト図である。図1に示すように、固体撮像装置1は、画素領域(受光部)2、垂直シフトレジスタ回路(VSR)3、4、垂直シフトレジスタ切換回路9、1水平ラインメモリ回路6、コラム型オートゲインコントローラ回路(AGC)7、コラム型アナログデジタルコンバータ回路(ADC)8、高輝度補正信号蓄積メモリ回路10、画素信号蓄積メモリ回路11、メモリシフトレジスタ回路12、ラインセレクト回路(LS)13、合成回路14、水平シフトレジスタ回路(HSR)15及び出力アンプ回路16を備え構築される。すなわち、固体撮像装置1は、これら画素領域2及びその各種周辺回路を1つの半導体基板に集積化し、1チップ化したものである。

【0030】固体撮像装置1の画素領域2は複数の画素P11, P12, ..., P1n, ..., Pmnを水平方向及び垂直方向に行列状に配列し構成される。例えば、本実施の形態に係る固体撮像装置1において、画素領域2にはVGAフォーマットがなされ、水平方向に配列された約700個の画素Pにおいて、約640個は有効画素として、残りはダミー画素として使用される。垂直方向に配列された約500個の画素Pにおいて、約480個は有効画素として、残りはダミー画素として使用される。それぞれの画素P11~Pmnは、光電変換素子を少なくとも備えており、光信号を電気信号に変換し画素信号を生成する。さらに、画素P11~Pmnは高輝度補正信号を生成する。

【0031】図2は本実施の形態に好適な画素の等価回路図(一部周辺回路の等価回路も示す。)である。1つの画素Pはアドレス信号線ADL、リセット信号線RSL、映像信号線6L、リセット信号供給線RLのそれぞれの交差部分に配置される。図1及び図2に示すように、アドレス信号線ADLは垂直シフトレジスタ切換回路9を介して垂直シフトレジスタ回路3、4のそれぞれ



に接続される。同様に、リセット信号線 R S L は垂直シフトレジスタ切換回路 9 を介して垂直シフトレジスタ回路 3、4 のそれぞれに接続される。垂直シフトレジスタ切換回路 9 は例えば OR 回路を複数個配列して構成される。

【0032】垂直シフトレジスタ切換回路 9 により垂直シフトレジスタ回路 3 が選択された場合、アドレス信号線 A D L は画素信号を読み出すために画素 P を選択し、リセット信号線 R S L はリセット動作を行うために画素 P を選択する。この選択は同一水平ラインに配列された

すべての画素 P について行われる。

【0033】垂直シフトレジスタ切換回路 9 により垂直シフトレジスタ回路 4 が選択された場合、同一のアドレス信号線 A D L は高輝度補正信号を読み出すために画素 P を選択し、リセット信号線 R S L はリセット動作を行うために画素 P を選択する。この選択は同様に同一水平ラインに配列されたすべての画素 P について行われる。

【0034】映像信号線 6 L は 1 水平ラインメモリ回路 6 に接続され、画素 P の画素信号並びに高輝度補正信号は映像信号線 6 L を通して 1 水平ラインメモリ回路 6 に転送される。1 本の水平ラインに配列された複数の画素 P (例えば、画素 P 1 1 ~ P 1 n) に蓄積された画像信号は並列的に 1 水平ラインメモリ回路 6 に転送され、それぞれの画素信号は 1 水平ラインメモリ回路 6 に一時的に記憶される。リセット信号供給線 R L は、画素 P のリセット動作の際に選択され、リセット電位を供給する。また、リセット信号供給線 R L は同時にアドレス用 MISFET (T 3) のドレイン電位を供給する。

【0035】画素 P は、光電変換素子 P D、信号増幅用 MISFET (Metal Insulator Semiconductor Field Effect Transistor) T 1、リセット用 MISFET T 2、アドレス信号用 MISFET T 3、信号検出部 S を備えて構成される。本実施の形態に係る画素 P は、光電変換素子 P D で得られた画素信号 (又は高輝度補正信号) を信号増幅用 MISFET T 1 で増幅する増幅型画素で構成される。

【0036】光電変換素子 P D は、p n 接合からなるフォトダイオードで形成され、光信号を電気信号に変換する。光電変換された電子は光電変換素子 P D に収集され、p n 接合の n 型領域である信号検出部 S の電位を変化させる。信号検出部 S は信号増幅用 MISFET T 1 のゲート電極に接続される。

【0037】信号増幅用 MISFET T 1 は、ソース領域を映像信号線 6 L に接続し、ドレイン領域をアドレス信号用 MISFET T 3 のソース領域に接続する。信号増幅用 MISFET T 1 は、信号検出部 S の画素信号 (又は高輝度補正信号) を増幅し、増幅された画素信号を映像信号線 6 L に出力する。

【0038】アドレス信号用 MISFET T 3 は、ゲート電極をアドレス信号線 A D L に接続し、ソース領域を映像信号線 6 L に接続し、ドレイン領域をリセット信号供給線

R L に接続する。

【0039】リセット用 MISFET T 2 は、ソース領域を信号検出部 S に接続し、ドレイン領域をリセット信号供給線 R L に接続し、ゲート電極をリセット信号線 R S L に接続する。

【0040】これら画素 P を構成する信号増幅用 MISFET T 1、リセット用 MISFET T 2、アドレス信号用 MISFET T 3 のそれぞれは n チャンネル MISFET で構成される。

【0041】垂直シフトレジスタ回路 3 は、図 1 に示すように、画素信号の読み出し動作において、画素領域 2 に配列された画素 P を垂直方向に順次走査し選択する。垂直シフトレジスタ回路 4 は、高輝度補正信号の読み出し動作において、画素領域 2 に配列された画素 P を垂直方向に順次走査し選択する。垂直シフトレジスタ回路 4 の走査は、高輝度補正信号の信号量に応じて、垂直シフトレジスタ回路 3 による走査後に引き続き行われる。

【0042】図 1 に示すコラム型オートゲインコントローラ回路 7 は、1 水平ラインメモリ回路 6 に一時的に記憶された画素信号 (アナログ信号) のゲインコントロールを行う。ゲインコントロールは 1 水平ライン分の画素信号について並列的に行われる。

【0043】コラム型アナログデジタルコンバータ回路 8 は、コラム型オートゲインコントローラ回路 7 でゲインコントロールされた画素信号 (アナログ信号) をデジタル信号に変換する。同様に、デジタル信号への変換は 1 水平ライン分の画素信号について並列的に行われる。

【0044】高輝度補正信号蓄積メモリ回路 10、画素信号蓄積メモリ回路 11 は本実施の形態において特に特徴とする構成である。画素信号蓄積メモリ回路 11 は、画素領域 2 の所定画素 P、詳細には 1 水平ライン分の画素 P で蓄積された画素信号を一時的に記憶する。すなわち、画素領域 2 の 1 水平ライン分の画素信号は 1 水平ラインメモリ回路 6 に一旦記憶され、この記憶された画素信号はコラム型オートゲインコントローラ回路 7、コラム型アナログデジタルコンバータ回路 8、高輝度補正信号蓄積メモリ回路 10 のそれぞれを通して転送され、この画素信号は画素信号蓄積メモリ回路 11 の初段に記憶される。画素信号蓄積メモリ回路 11 は少なくとも 1 水平ライン分の画素信号を記憶できる容量を備えていればよい。実用的には、ダイナミックレンジの調節範囲に応じて数行~数十行 (例えば、10 行) 程度の容量を画素信号蓄積メモリ回路 11 に備えることが好ましい。画素信号蓄積メモリ回路 11 の初段に記憶された 1 水平ライン分の画素信号は、画素領域 2 から次段の 1 水平ライン分の画素信号が転送される前に次段に転送される。画素信号蓄積メモリ回路 11 の最終段に転送され記憶された 1 水平ライン分の画素信号は、ラインセレクト回路 13 を通して合成回路 14 に出力されるか、又は消去される。

【0045】画素信号蓄積メモリ回路 11 において 1 水

平ライン分の画素信号の行方向の転送はメモリシフトレジスタ回路(MS回路)12により行われる。画素信号蓄積メモリ回路11において行方向に転送される1水平ライン分の画素信号のうち、特定の1水平ライン分の画素信号はラインセレクト回路13により選択される。この選択された特定の1水平ライン分の画素信号は水平シフトレジスタ回路15により順次ラインセレクト回路13を通して合成回路14に転送される。

【0046】画素信号蓄積メモリ回路11の各記憶素子は、画素信号を順次転送可能な例えばフリップフロップ回路、詳細にはSRAM(Static Random Access Memory)のメモリセルで構成される。メモリセルは、2個の負荷用pチャネルMISFET及び2個の駆動用nチャネルMISFETで構成されるフリップフロップ回路と、2個の転送用MISFETとを備えて構成される。

【0047】高輝度補正信号蓄積メモリ回路10は、ラインセレクト回路13により選択され合成回路14に転送される1水平ライン分の画素信号が取り出された同一画素P、詳細には1水平ライン分の同一画素Pで蓄積された高輝度補正信号を一時的に記憶する。画素信号と同様に、1水平ライン分の高輝度補正信号が1水平ラインメモリ回路6に一旦記憶され、この記憶された高輝度補正信号はコラム型オートゲインコントローラ回路7、コラム型アナログデジタルコンバータ回路8のそれぞれを通して高輝度補正信号蓄積メモリ回路10に転送され記憶される。高輝度補正信号蓄積メモリ回路10は少なくとも1水平ライン分の高輝度補正信号を記憶できる容量を備えていればよい。本実施の形態において、高輝度補正信号蓄積メモリ回路10の各記憶素子は画素信号蓄積メモリ回路11と同様にフリップフロップ回路で構成される。

【0048】高輝度補正信号蓄積メモリ回路10に記憶された高輝度補正信号は水平シフトレジスタ回路15により順次合成回路14に転送される。水平シフトレジスタ回路15は画素信号蓄積メモリ回路11で使用する水平シフトレジスタ回路15と同一であり兼用される。つまり、画素信号蓄積メモリ回路11から転送される画素信号、高輝度補正信号蓄積メモリ回路10から転送される高輝度補正信号のそれぞれは、同一の(1個の)水平シフトレジスタ回路15により実質的に同一タイミングで合成回路14に転送される。

【0049】1水平ラインメモリ回路6、コラム型オートゲインコントローラ回路7、コラム型アナログデジタルコンバータ回路8、高輝度補正信号蓄積メモリ回路10、画素信号蓄積メモリ回路11のそれぞれは、画素領域2と水平シフトレジスタ回路15との間において直列的に配列される。

【0050】合成回路14は、画素信号蓄積メモリ回路11からラインセレクト回路13を通して転送される画素信号と、高輝度補正信号蓄積メモリ回路10から転送

される高輝度補正信号とを合成し、高輝度が補正された画素信号を生成する。この画素信号は出力アンプ回路16で増幅され、出力アンプ回路16から図示しない外部端子(アウターリード又はアウターピン)を通して固体撮像装置1の外部に出力される。

【0051】コントローラ回路5は、垂直シフトレジスタ回路3、4、垂直シフトレジスタ切換回路9、水平シフトレジスタ回路12、メモリシフトレジスタ回路12、ラインセレクト回路13、合成回路16のそれぞれに接続され(図1中、一部結線を省略する。)、これら周辺回路の動作を制御する。周辺回路は本実施の形態において相補型MISFETを主体に構成される。

【0052】このように構成される固体撮像装置1は樹脂封止体又はセラミック封止体に封止(パッケージ)され、カメラ等の実装デバイスの配線基板上に実装される。

【0053】次に、固体撮像装置1の動作について説明する。図3は動作を説明するための固体撮像装置1の要部拡大略図である。

【0054】まず、固体撮像装置1において、画素領域2の所定の1つの水平ラインに配列された画素P( $m-3$ )1, P( $m-3$ )2, ..., P( $m-3$ )nのそれぞれが選択される。この選択は、図1乃至図3に示す垂直シフトレジスタ回路3及び垂直シフトレジスタ切換回路9で所定のアドレス信号線ADLを選択することにより行われる。選択された画素P( $m-3$ )1, P( $m-3$ )2, ..., P( $m-3$ )nのそれぞれから1水平ライン分の画素信号Sが得られる。画素信号Sは、1枚の画像を生成する1フレーム周期分に相当する長い露出時間で蓄積された結果得られた信号である。正確には、画素信号Sは、1フレーム周期分に相当する長い露出時間から高輝度補正信号を生成する短い露出時間(数回~数十回の水平走査回数に相当する。)を差し引いた露出時間で蓄積された結果得られた信号である。

【0055】画素信号Sは映像信号線6Lを通して1水平ラインメモリ回路6に一旦記憶され、この記憶された画素信号Sはコラム型オートゲインコントローラ回路7、コラム型アナログデジタルコンバータ回路8、高輝度補正信号蓄積メモリ回路10のそれぞれを通して画素信号蓄積メモリ回路11の初段に記憶される。画素信号蓄積メモリ回路11の初段に記憶された画素信号Sはメモリシフトレジスタ回路12により順次次段の記憶素子に転送される。メモリシフトレジスタ回路12による画素信号Sの転送タイミングは、垂直シフトレジスタ回路3の垂直走査タイミングと同期し、コントローラ回路5により制御される。

【0056】なお、1水平ライン分の画素信号Sが取り出されると、この1水平ライン分の画素Pにおいて垂直シフトレジスタ回路3及び垂直シフトレジスタ切換回路9によりリセット信号線RSLが選択され、リセット動



作が行われる。

【0057】予め設定された露出時間の経過後、コントローラ回路5はラインセレクト回路13を介して画素信号蓄積メモリ回路11に記憶された画素信号S（1水平ライン分の画素信号）を選択する。例えば、画素信号蓄積メモリ回路11の3段目に転送され記憶された画素信号Sが選択される。この画素信号Sはラインセレクト回路13を通して合成回路14に転送される。合成回路14への画素信号Sの転送は水平シフトレジスタ回路15により順次行われる。

【0058】一方、この合成回路14へ転送した画素信号Sを取り出した画素P（m-3）1, P（m-3）2, ..., P（m-3）nのそれぞれが再度選択される。この選択は、図1乃至図3に示す垂直シフトレジスタ回路4及び垂直シフトレジスタ切換回路9で所定のアドレス信号線ADLを選択することにより行われる。選択された画素P（m-3）1, P（m-3）2, ..., P（m-3）nのそれぞれから1水平ライン分の高輝度補正信号S<sub>y</sub>が得られる。高輝度補正信号S<sub>y</sub>は、画素信号Sが取り出され数回〜数十回の水平走査が行われた後の短い露出時間で蓄積された結果得られた信号である。1水平ライン分の高輝度補正信号S<sub>y</sub>が取り出されると、この1水平ライン分の画素Pにおいて垂直シフトレジスタ回路4及び垂直シフトレジスタ切換回路9によりリセット信号線RSLが選択され、リセット動作が行われる。

【0059】高輝度補正信号S<sub>y</sub>は映像信号線6Lを通して1水平ラインメモリ回路6に一旦記憶され、この記憶された高輝度補正信号S<sub>y</sub>はコラム型オートゲインコントローラ回路7、コラム型アナログデジタルコンバータ回路8のそれぞれを通して高輝度補正信号蓄積メモリ回路10に一旦記憶される。この高輝度補正信号蓄積メモリ回路10に一旦記憶された高輝度補正信号S<sub>y</sub>は合成回路14に転送される。合成回路14への高輝度補正信号S<sub>y</sub>の転送は水平シフトレジスタ回路15により順次行われる。高輝度補正信号S<sub>y</sub>の転送は共用された水平シフトレジスタ回路15により画素信号Sの転送タイミングと同期して行われる。

【0060】合成回路14においては、画像信号Sと高輝度補正信号S<sub>y</sub>とが合成され、高輝度が補正された画素信号S<sub>c</sub>が生成され出力される。画素信号S<sub>c</sub>は出力アンプ回路16で増幅され、固体撮像装置1の外部に出力される。

【0061】このように構成される固体撮像装置1においては、画素領域2の同一所定画素Pから画素信号Sと高輝度補正信号S<sub>y</sub>とを取り出し、画素信号Sは画素信号蓄積メモリ回路11に記憶され、高輝度補正信号S<sub>y</sub>は高輝度補正信号蓄積メモリ回路10に記憶される。画素領域2と画素信号蓄積メモリ回路11との間に高輝度補正信号蓄積メモリ回路10が配置され、画素信号S、高輝度補正信号S<sub>y</sub>の順序で垂直方向に転送されるの

で、画素信号Sの記憶、高輝度補正信号S<sub>y</sub>の記憶は同一タイミングで行われる。記憶された画素信号S、高輝度補正信号S<sub>y</sub>のそれぞれは共用の水平シフトレジスタ回路15で合成回路14に転送される。従って、高輝度補正信号S<sub>y</sub>のみを転送する水平シフトレジスタ回路が必要なくなり、画素信号蓄積メモリ回路11及び高輝度補正信号蓄積メモリ回路10に共用の水平シフトレジスタ回路15が配設されるので、水平シフトレジスタ回路数が削減でき、固体撮像装置1の小型化、集積化が実現できる。

【0062】さらに、固体撮像装置1に合成回路14を配設し、固体撮像装置1の内部で画素信号Sの修正が行われる。すなわち、固体撮像装置1から出力される画素信号は高輝度が補正された画素信号S<sub>c</sub>の1種類になる。従って、固体撮像装置1の外部端子数が削減できるので、固体撮像装置1の小型化、集積化（又はパッケージサイズの縮小化）が実現できる。

【0063】さらに、固体撮像装置1においては、高輝度補正信号S<sub>y</sub>の信号量の調節が、ラインセレクト回路13で画素信号蓄積メモリ回路11の選択箇所を変えるだけで行えるので、非常に簡易に実施できる。しかも、高輝度補正信号S<sub>y</sub>の信号量の調節は、固体撮像装置1側だけで実質的に行えるので、非常に簡易に実施できる。

【0064】さらに、固体撮像装置1においては、画素領域2の同一所定画素で得られる画素信号S、高輝度補正信号S<sub>y</sub>のそれぞれを高輝度補正信号蓄積メモリ回路10、画素信号蓄積メモリ回路11のそれぞれに順次時系列的に転送し、合成回路14による画素信号Sと高輝度補正信号S<sub>y</sub>との取り出しが同一タイミングで行われる。従って、画素信号Sと高輝度補正信号S<sub>y</sub>とを合成するための回路システムを1組に削減できるので、固体撮像装置1の小型化が実現できる。

【0065】さらに、固体撮像装置1においては、前述のように画素信号Sと高輝度補正信号S<sub>y</sub>とを合成するための回路システムが1組に削減でき、高輝度が補正された画素信号S<sub>c</sub>は1種類のみ出力でよいので、画素信号S<sub>c</sub>のデータレートが短縮される（半減される）。画素信号S<sub>c</sub>のデータレートの短縮により1フレーム周期分の画素信号の出力に要する時間が短縮でき、固体撮像装置1の動作速度が高速化できる。

【0066】

【発明の効果】本発明は、外部端子数を削減し、小型化、集積化が実現できる固体撮像装置を提供できる。特に、本発明は、固体撮像装置の小型化を実現し、この固体撮像装置を実装するカメラ等の実装デバイスの小型化を図れる。

【0067】さらに、本発明は、画素信号のデータレートを削減し、画素信号の出力動作速度の高速化が実現できる固体撮像装置を提供できる。



13

【0068】さらに、本発明は、高輝度補正信号の信号量を簡易に調節でき、ダイナミックレンジが容易に制御できる固体撮像装置を提供できる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る固体撮像装置の平面レイアウト図である。

【図2】本実施の形態に好適な画素の等価回路図である。

【図3】本実施の形態に係る動作を説明するための固体撮像装置の要部拡大略図である。

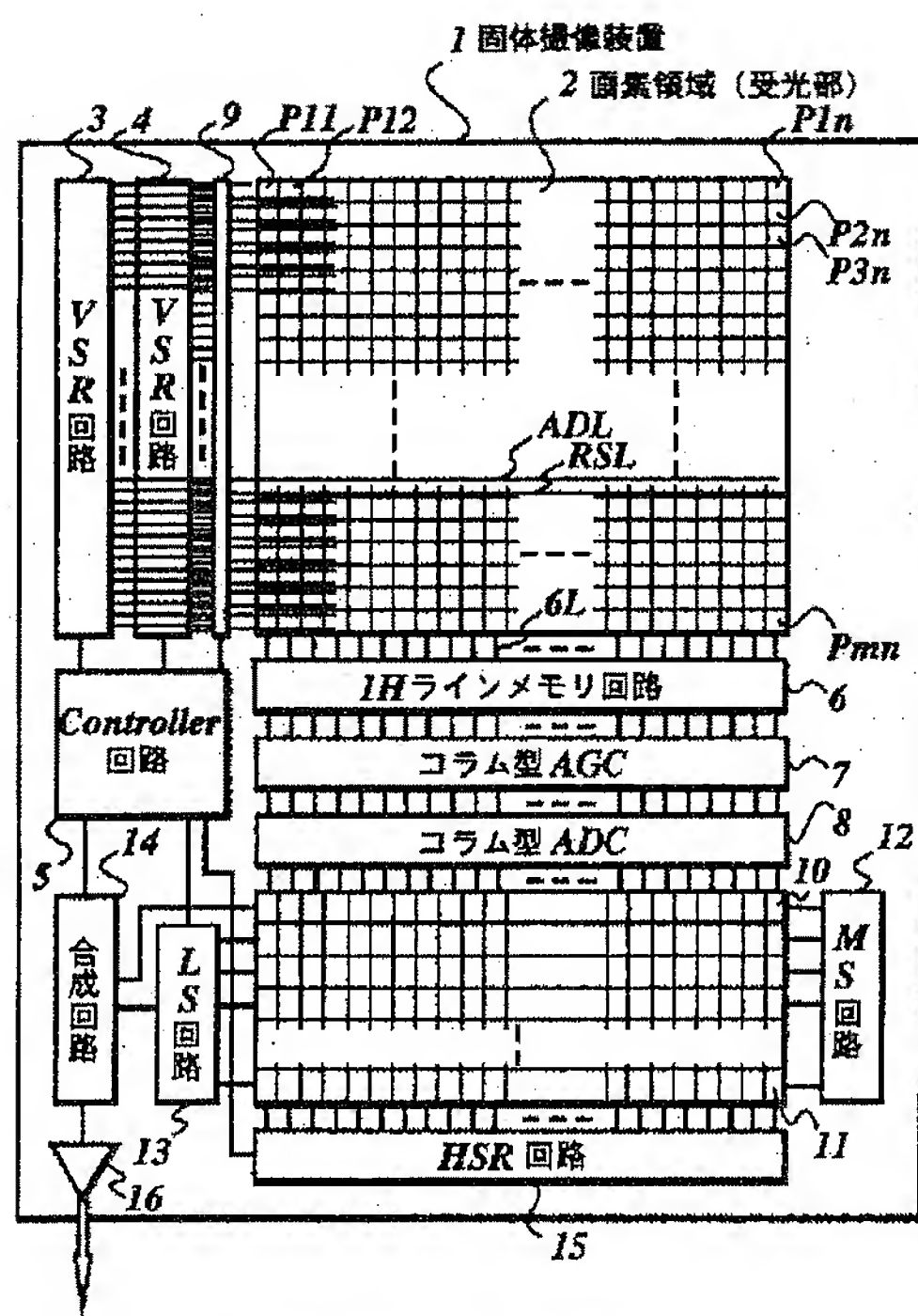
【符号の説明】

- 1 固体撮像装置
- 2 画素領域

14

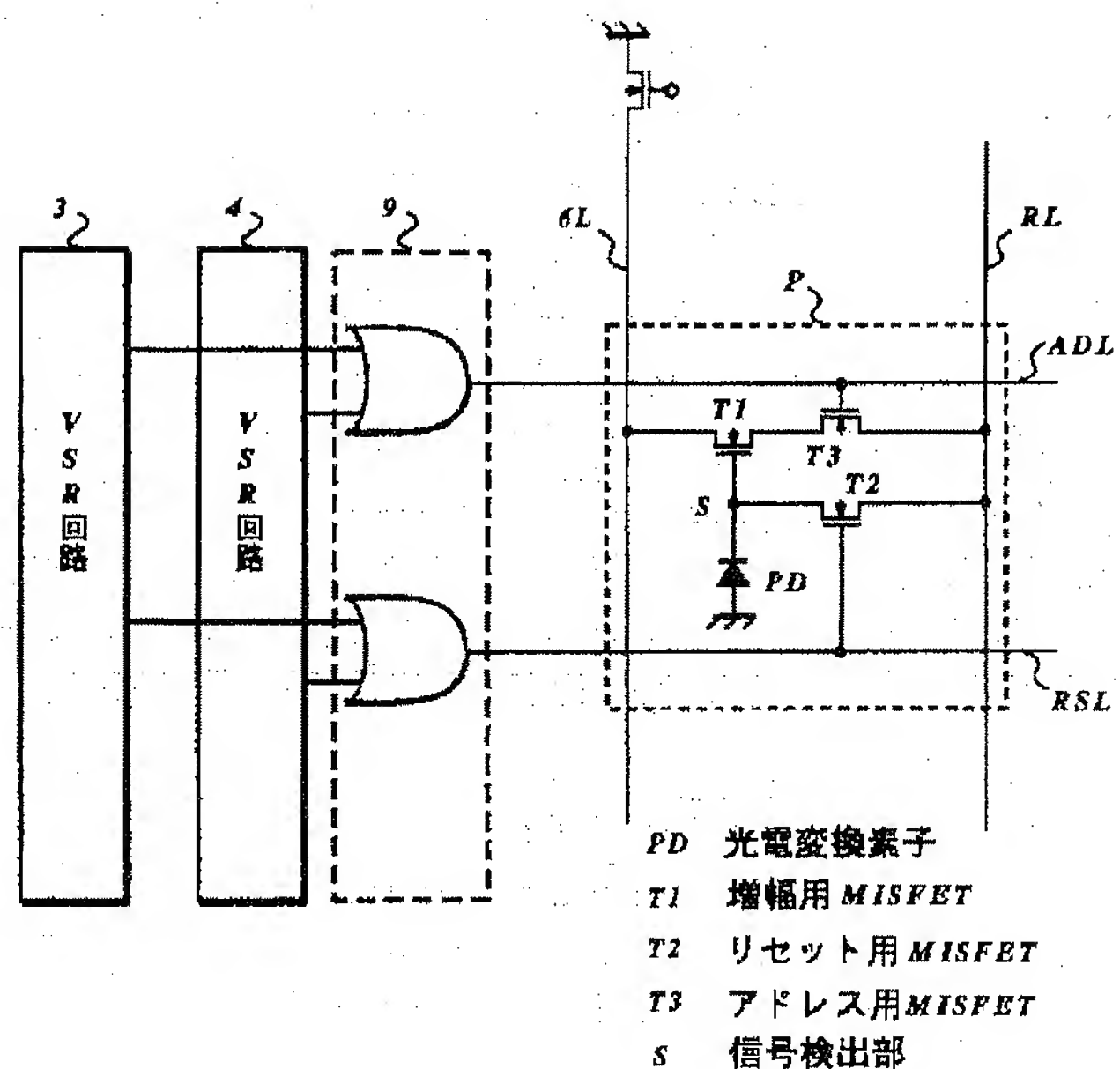
- 3、4 垂直シフトレジスタ回路
- 5 コントローラ回路
- 6 1水平ラインメモリ回路
- 7 コラム型オートゲインコントローラ回路
- 8 コラム型アナログデジタルコンバータ回路
- 9 垂直シフトレジスタ切換回路
- 10 高輝度補正信号蓄積メモリ回路
- 11 画素信号蓄積メモリ回路
- 12 メモリシフトレジスタ回路
- 13 ラインセレクト回路
- 14 合成回路
- 15 水平シフトレジスタ回路
- 16 出力アンプ回路

【図1】



- 10 高輝度補正信号蓄積メモリ回路
- 11 画素信号蓄積メモリ回路

【図2】



【図3】

